



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030018134 A

(43)Date of publication of application: 06.03.2003

(21)Application number: 1020010051703

(22)Date of filing: 27.08.2001

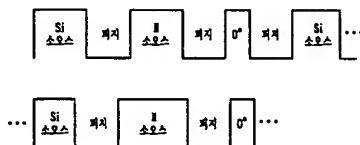
(71)Applicant: ELECTRONICS AND
TELECOMMUNICATIONS
RESEARCH INSTITUTE(72)Inventor: KANG, JIN YEONG
LIM, JEONG UK
SIM, GYU HWAN
SONG, YEONG JU

(51)Int. Cl. H01L 21/20

(54) METHOD OF FORMING INSULATION LAYER OF SEMICONDUCTOR DEVICE FOR CONTROLLING COMPOSITION AND DOPING CONCENTRATION

(57) Abstract:

PURPOSE: A method for forming an insulating layer of a semiconductor device for controlling the composition and doping concentration is provided to improve a boundary characteristic by using an atomic deposition method or a chemical vapor deposition method.



CONSTITUTION: An oxide is deposited by using reaction of a precursor of an organic material with an oxygen radical. A deposition process including purge, oxygen radical injection, and purge are performed after the metal precursor is injected. A thermal process is performed under high oxygen or high oxygen radical atmosphere. A metal oxide is formed by controlling a composition ratio of silicon and metal. The contents of silicon within the metal oxide are increased far from a boundary between the metal oxide and a silicon substrate if a silicon injection time is reduced and a metal precursor injection time is increased.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20030925)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/20(11) 공개번호 특2003-0018134
(43) 공개일자 2003년03월06일

(21) 출원번호	10-2001-0051703
(22) 출원일자	2001년08월27일
(71) 출원인	한국전자통신연구원
(72) 발명자	대전 유성구 가정동 161번지 임정욱 대전광역시유성구신성동214-14201호 송영주 경기도수원시팔달구영통동신원아파트642-403 심규환 대전광역시유성구어은동99한빛아파트138-1102호 강진영 대전광역시유성구신성동160-1삼성한울아파트109-702
(74) 대리인	신영무

심사결과 : 있음(54) 조성과 도핑 농도의 제어를 위한 반도체 소자의 절연막형성 방법**요약**

본 발명은 반도체 소자의 절연막 형성 방법에 관한 것으로, 원자층 증착법을 이용하여 산화물의 조성과 도핑 농도를 조절하는 방법을 제시한다. 실리콘 산화물의 경우 열산화 공정과 증착 공정을 순차적으로 진행하여 계면 특성 및 증착 속도가 우수한 산화막을 형성하며, 산화막, 질산화막 및 금속 산화막을 증착하는 경우, 소오스 및 라디칼의 펄스 구성 및 공급 시간을 조절하여 우수한 계면 특성을 갖는 최적의 산화막을 형성할 수 있도록 한다.

도표도

도3e

색인어

산화물, 원자층 증착법, 금속 산화물, 조성, 계면 특성, 금속 산화막, 조성 제어, 금속 열 처리

명세서**도면의 간단한 설명**

도 1a는 열산화막과 증착 산화막으로 이루어지는 산화막 형성 방법을 설명하기 위한 소자의 단면도.
 도 1b는 도 1a를 설명하기 위한 공정도.
 도 2a 내지 2d는 본 발명에 따른 실리콘 질산화막 형성 방법을 설명하기 위한 공정도.
 도 3a, 도 3b 및 도 3e는 본 발명에 따라 고유전율을 갖는 금속 산화막을 형성하는 과정을 설명하기 위한 공정도.
 도 3c는 도 3e를 설명하기 위한 소자의 단면도.
 도 3d는 도 3e를 설명하기 위한 그래프도.
 도 4a 및 도 4b는 본 발명에 따른 금속 열산화막 형성 방법을 설명하기 위한 소자의 단면도.
 도 4c는 도 4a 및 도 4b를 설명하기 위한 공정도.

도 5a 및 도 5c는 금속(M_1)과 다른 금속(M_2)의 화합물이 산화되어 이루어지는 금속 산화막 형성 과정을 설명하기 위한 소자의 단면도.

도 5b 및 도 5d는 도 5a 및 도 5c를 설명하기 위한 공정도.

도 6은 도핑이 이루어진 금속 산화막을 형성하는 과정을 설명하기 위한 공정도.

도 7은 원자를 증착법을 이용하여 반도체 기판에 산화물을 증착하는데 이용되는 증착 장치의 구성도.

<도면의 주요부분에 대한 부호의 설명>

1, 11, 21, 31: 실리콘 기판2: Si의 열산화막

3: Si의 증착 산화막12: 금속 산화물

22: 금속23, 32: 금속 산화막

33: 제 1 금속 산화막34: 제 2 금속 산화막

40: 유량 조절기41: 미터링 밸브

42: 저장 용기43, 44, 45: 플라즈마 발생 장치

46: 펌프47: 웨이퍼

48: 게이트 밸브49: 터보 분자 펌프

50: 차단 밸브51, 52, 53, 54: 가스 저장 용기

55: 개폐 밸브60: 챔버

61: 부스트 펌프62: 건조 펌프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 절연막 형성 방법에 관한 것으로, 특히, 원자를 증착법 또는 화학기상증착법을 이용하여 계면 특성을 향상시키며 조성비 조절을 용이하게 할 수 있도록 한 반도체 소자의 절연막 형성 방법에 관한 것이다.

최근 들어 반도체 소자의 제조 기술은 급격한 발전을 이루어 왔다. 특히, 고성능 마이크로 프로세서와 무선통신 시장이 확장됨에 따라 CMOS 소자의 제조 기술은 더욱 중요시된다.

금속, 산화물 및 실리콘(Si) 구조로 이루어진 MOS 트랜지스터의 제조 공정에서 게이트 유전막은 대개 산화물 또는 질산화물로 형성되며, 게이트 유전막의 특성에 따라 소자의 동작 특성이 좌우된다. 따라서 게이트 유전체막의 계면 특성 및 막질을 향상시키면 소자의 동작 특성을 향상시킬 수 있으므로 산화막 및 질산화막 형성을 위한 공정 기술의 개발이 요구된다.

산화막은 CMOS 소자의 제조 공정뿐 만 아니라 메모리 소자의 제조 공정에도 사용된다. 메모리 소자의 유전막으로 사용되는 산화막은 CMOS 소자의 게이트 유전체막으로 사용되는 산화막과 다른 특성을 가져야 한다.

게이트용 유전막으로 사용되는 산화막은 하부층인 실리콘(Si)과의 적합성이 양호해야 하며 실리콘(Si)과의 계면 안정성이 유지되어야 하는 반면, 메모리 소자의 유전막으로 사용되는 산화막은 누설전류, 유전상수 등의 특성이 좋아야 하며, 하부 전극과의 계면 특성은 상대적으로 덜 고려된다. 따라서 공정 변수와 물질 선택의 변화에 보다 용이하게 적용할 수 있는 산화물 증착 시스템이 요구된다.

일반적으로 게이트 산화막은 주로 열적으로 성장된 무정형(amorphous)의 실리콘 산화물로 형성한다. 이러한 열산화물은 계면 특성이 우수하고 누설 전류가 적으며 결합 전하의 밀도가 낮은 특성을 갖는데, 10^{10} /cm²eV 정도의 낮은 결합 전하 밀도가 요구된다.

반도체 소자가 고집적화됨에 따라 산화막의 두께가 20Å에서 10Å 이하로 감소되는 추세이다.

탕(Tang) 등의 이론적인 연구에 의하면 산화물이 벌크(bulk) 특성을 유지할 수 있는 최소의 두께는 7Å이며, 그 이하의 두께에서는 단락에 의해 절연체 역할을 수행하지 못한다고 한다. 하지만, 산화막의 두께가 두껍다 하더라도 20Å 이하의 두께에서는 터널 전류가 증가되는 현상이 나타나기 때문에 산화막의 두께 감소에는 한계가 있다.

이러한 문제점을 해결하기 위하여, 산화물 대신에 질산화물을 성장시켜 얇은 두께에서도 터널 전류 효과가 감소되도록 하며 누설 전류 특성이 향상되도록 하는 방법이 제시되었다. 순수한 실리콘 질화물(Si₃N₄)의 유전상수(κ)는 7 정도가 되며, 질산화물의 경우 붕소(B)의 침투를 방지한다고 보고되어 있다(Y. Wu et al., IEEE Electron Device Letter, 19, 367 페이지).

그러나 약간의 질소(N) 원소를 첨가하는 것은 매우 효과적이거나 다량의 질소(N)가 첨가되는 경우 5개의 질

소 원자에 의한 잉여 전하와 계면에서의 결합으로 인해 오히려 소자의 특성이 저하된다고 보고되었다.

따라서 질소(N)를 소량으로 첨가하고, 그 조성의 제어도 용이하게 할 수 있는 기술의 개발이 요구된다.(K. A. Ellis et al., Applied Physics Letter, 74, 967 페이지).

보다 큰 유전 상수를 갖는 산화물을 증착하기 위해서는 미세 조성의 조절이 요구된다. 그러나 질산화물도 실리콘 산화물의 등가 두께(equivalent thickness)를 줄이는 데에는 한계가 있기 때문에 큰 유전 상수를 갖는 금속 산화물을 대체 산화물로 사용하는 연구가 진행되고 있다.

Ta, Ti 등을 산화시켜 금속 산화물을 만드는 연구가 이루어졌다. 그러나 이러한 금속 산화물을 사용하면 실리콘과의 계면 반응에 의해 실리콘 산화물이 생성됨에 따라 소자의 특성이 저하된다. 따라서, 열역학적으로 더욱 안정적인 금속 산화물의 개발이 요구되고 있다.

최근의 선행 특허에 의하면, TaO₂에 소량의 실리콘(Si) 또는 알루미늄(Al)이 첨가된 Ta_{1-x}Al_xO₂ 또는 Ta_{1-x}Si_xO₂ 등의 산화물을 성장시켜 결정화 온도를 높게 하고 무정형 상태를 유지시키며 SiO₂의 생성이 완화된 후 하므로써 우수한 특성과 표면 형상을 얻을 수 있다고 하였다(Glan B. Aiers et al., 미국 특허 US6060406A). 이러한 미세한 조성의 조절을 구현하기 위해서는 원자층 증착법(ALD)이 가장 적합하다고 판단된다.

알루미늄(Al)의 경우에는 안정성은 유지되나 유전상수 값이 크지 않고 후속 공정에서 붕소 등의 확산이 일어나는 것으로 보고되었다. 또한, 증착이 열역학적으로 불안정한 상태에서 이루어지므로 실리케이트(Silicate)가 생성되어 소자의 특성 저하를 야기시킨다. 그러나, 원자층으로 제어하면서 박막을 성장시키면 열적으로 안정된 박막을 성장시킬 수 있고, 실리케이트의 생성도 방지할 수 있다. 실제로 원자층 화학 증착법의 경우 실리케이트의 생성이 억제되었다는 보고도 있다. 따라서, 원자층 증착법(ALD)을 이용하면 계면의 안정성을 유지시킬 수 있다.

이러한 게이트 산화막용으로 사용되는 산화물의 계면 안정성을 위해 최근에는 Hf, Zr, Y와 La, Pr, Nd, Dy, Gd 등의 란타넘 원소의 산화물들에 관한 연구가 진행되고 있으며, 실리콘과의 계면 안정성이 우수한 제반 특성이 보고 되었다. Zr의 경우 ZrO₂ 또는 ZrSiO₄ 등은 실리콘과 접촉해도 안정한 상태를 유지한다. ZrO₂의 비유전상수는 25인데, ZrSiO₄의 비유전 상수는 12.60이라고 보고되었다. 그러나 ZrO₂는 저온에서 결정화 및 이온 전도가 이루어지며, 실리콘과의 이중 계면으로 인해 전자의 채널 이동도가 감소한다. ZrSiO₄의 경우는 결정화 온도가 높아지지만 ZrO₂의 석출물이 생겨날 수도 있다는 단점이 있다.

최근 논문의 보고에 의하면, ZrSiO₄의 형태로 Zr을 3 내지 5% 정도 소량으로 첨가하여 실리콘 산화물을 성장시킬 경우 무정형(Amorphous) 상태를 유지하면서 누설 전류가 낮은 우수한 산화막을 얻을 수 있다(G. D. Wilk et al., Journal of Applied Physics, 87, 484 페이지).

ZrSiO₄뿐만 아니라 HfSiO₄도 비슷한 양상을 나타내었다. 그러나 이러한 실리콘 리치(Si rich) 금속 산화물은 스퍼터링(Sputtering) 방법으로 증착되었는데, 이 방법은 실리콘과 금속의 조성을 조절하기 힘들고 처음부터 조성을 정해 놓은 타겟(Target)을 사용해야 하는 단점을 가진다. 따라서, 원자층 증착법(ALD)을 이용하면 조성의 변화를 용이하게 할 수 있어서 우수한 특성을 갖는 최적의 조성의 구성을 찾는 데 도움이 되리라 기대된다. 또한, Gd₂O₃나 Y₂O₃ 등도 무정형의 경우 누설 전류가 매우 낮고 실리콘과의 계면 반응도 억제된다. 그리고 박막의 균일도가 우수하고 평탄한 표면 형상을 얻는다. 하지만, 결정형으로 성장시킬 경우 무정형에 비해 누설 전류가 많고 표면 형상도 불량해진다. 또한, 가열비(Heating rate)가 높아지고 고온의 산소 분위기에서 SiO₂층이 형성된다고 보고되었다. 따라서 비활성 가스 분위기에서 후속 공정이 이루어져야 하고 무정형으로 유지되는 것이 바람직하다.

그 밖에 란타넘 계열의 산화물도 우수한 계면 안정성을 보이지만 박막 내에 양전하가 존재하여 플랫(flat) 전압이 -1.4V 정도 이동된다는 것이 보고되었다.

도펀트(Dopant)의 첨가로 산화물의 특성을 향상시킨 선행 특허에서는 III족과 VB족 산화물에 IV족의 물질을 도핑하여 원하지 않는 변형 결합(Strained bond)과 같은 계면의 결합을 줄임으로써 특성이 향상된다고 보고되었다. 도핑 농도는 0.1% 에서 10%까지 조절하는 것이 바람직하며 원자층 증착법을 이용한 조성 조절이 유리할 것으로 판단되어진다(W. H. Lee et al., 미국 특허 US5923056A호).

이와 같이 실리콘과의 계면 안정성을 유지하면서 우수한 특성을 갖는 최적의 산화물을 성장시키기 위하여 실리콘과 금속이 혼합된 형태의 Si_{1-x}M_xO₂ 혹은 금속(M₁)과 금속(M₂)이 혼합된 M₁M₂1-x-yO₂ 산화물을 많이 이용하고 있으며, 실리콘 및 4족 원소를 첨가하여 결정화 온도를 높이거나 계면의 안정성을 향상시킬 수 있다는 결과가 보고되기 때문에 미세한 조성의 조절이 가능한 새로운 증착법이 요구되는 실정이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 원자층 증착법을 이용한 증착 공정 과정에서 소오스 및 라디칼의 펄스 구성과 공급 시간을 조절함으로써 상기한 단점을 해소할 수 있는 반도체 소자의 절연막 형성 방법을 제공하는 데 그 목적이 있다.

본 발명의 목적은 산화막 특히, 게이트용 산화막 또는 메모리 소자의 유전막을 성장시키는 경우 원자층 증착법(ALD)을 이용하여 실리콘 산화물, 실리콘 질산화물 및 고유전율을 갖는 금속 산화물 또는 이들의 화학물로 이루어진 산화물 및 도핑 산화물을 그들의 물질 조성, 도핑 농도 및 박막의 두께를 다양하게 조절하여 성장시키는 방법을 제공하는 데 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 절연막 형성 방법은 실리콘 소오스 주입 공

정 및 산화 반응 가스 주입 공정을 교대로 실시하여 실리콘 기판 상에 증착산화막을 형성하되, 산화 반응 가스로는 산소 라디칼이나 오존을 사용하는 것을 특징으로 한다.

본 발명에 따른 다른 반도체 소자의 절연막 형성 방법은 실리콘 유기물 전구체, 산소 전구체 및 질소 전구체를 사용하여 실리콘 질산화막을 형성하되, 산소 전구체로는 산소 라디칼을 사용하고, 상기 질소 전구체로는 질소 라디칼, 암모니아 및 N_2O 중 어느 하나를 사용하는 것을 특징으로 한다.

본 발명에 따른 다른 반도체 소자의 절연막 형성 방법은 금속 전구체 주입 공정 및 수소 라디칼 주입 공정을 교대로 실시한 후 산소 라디칼이나 오존 분위기에서 열처리하여 금속 열산화막이 형성되도록 하는 것을 특징으로 한다.

본 발명에 따른 다른 반도체 소자의 절연막 형성 방법은 금속 전구체 주입 공정, 산소 라디칼 주입 공정, 도펀트 전구체 주입 공정 및 수소 라디칼 주입 공정을 교대로 실시하여 금속산화막이 형성되도록 하는 것을 특징으로 한다.

발명의 구성 및 작용

현재까지 게이트용 산화막으로는 800°C 이상의 고온에서 성장시킨 실리콘 열산화막이 사용되었다. 그러나 채널이 SiGe 로 이루어지는 고속 MOSFET 소자를 제작할 경우 후속 공정의 온도가 800°C 이하로 낮아져야 하기 때문에 저온에서의 산화막 성장이 요구되는데, 이를 구현하기 위해 오존 혹은 산소 라디칼을 이용하여 저온에서 열산화막을 형성하거나 Si 전구체와 반응가스를 이용하여 SiO_2 를 증착시킨다.

일반적으로 증착 산화물의 계면 특성은 열산화막에 비해 좋지 않지만 증착 속도는 빠르다. 그러므로 이러한 장점을 이용하여 실리콘 기판과의 계면에는 열산화막을 형성하고, 그 상부에는 증착 산화막을 형성하여 SiO_2 박막을 구현할 수 있는데, 이 경우 원자층 증착법을 이용할 수 있다.

또한, 질소(N)를 첨가하여 Si-O-N 형태의 박막을 형성하면 누설전류를 감소시키고 붕소(B)의 침투도 억제시킬 수 있기 때문에 원자층 증착 공정 중 질소(N)를 첨가하면 특성 개선 효과를 얻을 수 있다.

소자의 고집적화에 따른 채널 길이의 감소로 인해 SiO_2 또는 SiON 과 같은 산화막을 이용하면 누설전류가 증가된다. 그러므로 높은 유전율을 갖는 금속 산화물로의 대체가 요구된다.

차세대 게이트용 산화막으로 떠오르는 물질로는 Ti, Ta 등이 있으며, 이의 산화물에 관한 연구가 진행되고 있는데, 이러한 산화물을 이용하면 계면에 SiO_2 가 생성되어 캐패시턴스(Capacitance)가 저하된다는 보고가 있다. 그러나 여기에 실리콘(Si)과 알루미늄(Al)을 첨가하면 결정화 온도가 높아지고 SiO_2 의 생성이 늦춰진다는 결과도 보고되었다.

실리콘(Si)과의 계면 안정성을 위하여 최근에는 Y, Zr, Hf 및 란타늄의 금속 산화물이 연구되고 있는데, 3족과 5족 산화물에 4족 금속과 실리콘(Si)을 도핑하면 특성이 향상된다는 결과도 보고되었다.

더욱이, Zr이나 Hf 자체의 산화물은 결정화 온도가 낮기 때문에 무정형 상태를 유지시키기 위해서는 $\text{Si}_3\text{Zr}_2\text{O}_{10}$ 또는 $\text{Si}_3\text{Hf}_2\text{O}_{10}$ 형태로 실리콘(Si)이 첨가되어야 효과적이라는 결과도 나왔다.

따라서 본 발명에서는 유기물 소오스와 산소 라디칼을 이용한 원자층 증착법으로 산화물을 증착하여 조성 및 도핑 농도의 조절이 효과적으로 이루어지도록 한다.

그러면 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1a는 열산화막과 증착 산화막으로 이루어지는 산화막 형성 방법을 설명하기 위한 소자의 단면도이고, 도 1b는 도 1a를 설명하기 위한 공정도이다.

도 1a는 실리콘 기판(1) 상에 열산화막(2)을 성장시킨 후 열산화막(2) 상에 증착산화막(3)을 형성한 상태의 단면도로서, 먼저, 소정 온도(T_1)의 챔버 내에 산소 라디칼 또는 오존을 공급하여 실리콘 기판(1)의 표면에 소정 두께의 열산화막(2)이 성장되도록 한다.

오존이나 산소 라디칼을 사용하여 열산화막을 성장시키는 경우 성장 온도는 산소 분자를 사용하는 경우보다 낮아진다. 그러나 일반적으로 500°C 이상의 온도에서 열산화막을 성장시키며, 산화물의 성장 온도가 낮을 경우 기판의 온도를 감소시킨다. 이와 같은 온도 제어를 위해 금속 열처리 방식(RTP)을 이용하며, 램프의 복사열에 의해 기판의 온도가 조절되도록 한다.

챔버 내부의 온도(T_2)를 감소시킨 후 온도가 안정되면 퍼지(Purge) 공정을 진행한다. 이어서, 챔버 내부에 실리콘 유기물 소오스 또는 SiH_4 를 공급한 후 퍼지 공정을 진행하고 챔버 내부에 반응가스를 공급하여 상기 열산화막(2) 상에 실리콘 증착산화막(3)이 형성되도록 한다.

상기와 같이 실리콘 전구체 주입, 퍼지, 오존 또는 산소 라디칼 주입 및 퍼지로 이루어지는 한 주기의 증착 공정을 반복적으로 실시하여 원하는 두께의 산화막을 얻는다.

상기 실리콘(Si) 전구체로 사용되는 실리콘 유기물 소오스로는 $\text{Si}(\text{OC}_2\text{H}_5)_4$, (TEOS), $\text{Si}(\text{N}(\text{CH}_3)_2)_4$, (TMAS), $\text{Si}(\text{N}(\text{C}_2\text{H}_5)_2)_4$, $\text{Si}(\text{CH}_3)_4$, $\text{Si}(\text{C}_2\text{H}_5)_4$ 등을 이용하며, 반응 가스로는 플라즈마에 의해 분해된 산소 라디칼(O^\bullet), 자외선을 이용하여 얻은 오존(O_3) 등을 이용한다. 이러한 산소 라디칼 또는 오존은 반응성이 좋아 저온에서 좋은 특성을 갖는 산화막이 성장되도록 한다.

일반적으로 화학기상증착(CVD) 방식으로 적층 밀도가 높은 우수한 산화막을 성장시키는 경우 TEOS나 TMAS를 소오스로 사용하며, 이 경우 300 내지 500°C의 온도에서 분당 수백 Å의 속도로 산화막(SiO₂)이 증착된다. 그러나 본 발명은 원자층 증착(Autom Layer Deposition) 장비를 이용하므로 한 주기(Cycle)에 증착되는 산화물의 양은 제한(Self-limiting)되지만, 증착 속도가 빨라 분당 10 내지 30 Å 두께의 증착이 이루어지도록 한다. 이와 같은 증착 속도는 챔버의 크기에도 밀접한 관계가 있다. 보통 70 Å의 열산화막을 성장시키는데 30분 이상의 시간이 소요되므로 성장물에 상당한 차이를 보인다.

즉, 열산화막은 증착 산화막에 비해 계면 특성이 좋고 막질이 우수한 반면 증착 산화막에 비해 성장 속도가 느리다. 따라서 본 발명은 실리콘 기판(1)의 계면에 열산화막(2)을 성장시키고 인-시투(In-situ) 방식으로 그 위에 증착 산화막(3)을 성장시켜 계면 특성 및 증착 속도면에서 양호한 특성을 갖는 산화막을 얻는다.

도 2a 내지 2d는 본 발명에 따른 실리콘 질산화막 형성 방법을 설명하기 위한 공정도이다.

도 2a는 실리콘 전구체 주입, 퍼지, 산소 라디칼 주입, 퍼지 및 질소 라디칼 주입으로 이루어지는 실리콘 질산화막 증착 과정을 도시한 공정도로서, 산소 라디칼과 질소 라디칼의 주입 시간을 조절하여 산소와 질소의 조성비를 제어한다.

도 2b는 SiR₄ (R은 리간드로 CH₃, C₂H₅, NCH₃, OC₂H₅ 등) 주입, 퍼지, 암모니아 주입 및 산소 라디칼 주입으로 이루어지는 실리콘 질산화(Si-O-N)막 형성 과정을 도시한다.

도 2c는 실리콘 전구체 주입, 퍼지, N₂O 주입 및 퍼지로 이루어지는 실리콘 질화막 형성과정을 도시한 공정도인데, 이 경우 산소와 질소의 조성비를 독립적으로 제어하기 어렵다. 따라서 도 2d에 도시된 바와 같이 실리콘 전구체를 주입한 후 퍼지 공정을 실시하고, N₂O를 주입한 후 퍼지 공정을 실시한다. 그리고 산소 라디칼을 주입한 후 퍼지 공정을 실시하여 실리콘 질화막이 형성되도록 한다.

상기와 같이 산소 라디칼을 부가적으로 사용하므로써 질소와 산소의 조성을 독립적으로 제어할 수 있게 된다.

한편, 실리콘 전구체와 N₂O만을 반응 가스로 사용하는 도 2c의 공정은 공정단계(펄스)의 수를 감소시킬 수 있기 때문에 어느 정도 원하는 조성이 가능하다면 도 2c의 공정을 적용하는 것이 생산량 측면에서 유리하다.

도 3a 내지 도 3d는 본 발명에 따라 고유전율을 갖는 금속 산화막을 형성하는 과정을 설명하기 위한 공정도이다.

고유전율을 갖는 금속에는 Ta, Ti, Al뿐 아니라 Y, Zr, Hf 및 란타넘족의 원소가 모두 포함된다. 금속 전구체로는 주로 유기물로 M(OR)₄의 알콕사이드 계열과 M(NR₂)₃의 이민 계열 및 MR₃의 알킬 계열(R은 CH₃, C₂H₅, C₆H₅, C₄H₉ 등의 알킬기)를 사용하며, 반응 가스로는 산소 라디칼 또는 오존을 사용한다. 기존의 원자층 증착(ALD) 방식에서는 MCl₃ 전구체와 H₂O를 반응 가스로 사용하여 금속 산화물을 증착시켰다. 그러나 본 발명에서는 유기물의 전구체와 산소 라디칼의 반응을 이용하여 산화물을 증착시킨다. 저온의 유기물을 이용하여 산화물을 증착하면 박막의 밀도가 낮은 다공성막이 형성될 수 있으며, 탄소와 같은 불순물이 잔존할 가능성이 있다. 특히, 이와 같이 증착된 산화물이 게이트 산화막으로 사용되면 소자의 특성 저하가 초래된다. 그러므로, 박막을 성장시킨 후 온도를 높이고 산소 라디칼 분위기에서 박막이 유지되도록 하면 탄소의 함량도 현저히 떨어지고 박막의 밀도도 높아진다. 따라서 도 3a에 도시된 바와 같이 저온(T₁)에서 금속 전구체 주입, 퍼지, 산소 라디칼 주입 및 퍼지로 이루어지는 증착을 완료하고 온도(T₂)를 상승시켜 고온의 산소 또는 산소 라디칼 분위기에서 열처리를 실시한다.

최근에 Hf 또는 Zr의 고유전 금속 산화물에 실리콘이 첨가된 Si_{0.5}Hf_{0.5}O₂ 또는 Si_{0.5}Zr_{0.5}O₂ 등의 실리케이트는 고온에서도 무정형을 유지하는 것으로 보고되었다. 실리콘을 첨가하여 금속 산화물을 형성하는 공정이 도 3b에 도시된다.

도 3b는 실리콘 전구체 주입, 퍼지, 금속(M) 전구체 주입, 퍼지, 산소 라디칼 주입 및 퍼지로 이루어지는 금속 산화물 형성 과정을 도시하는데, 여기서는 실리콘과 금속(M)의 조성비 조절이 중요하다. 금속과 실리콘과의 조성비 조절은 실리콘과 금속의 주입 시간을 조절함으로써 이루어진다. 실리콘과 금속의 조성비 균일한 경우는 공정 주기가 반복됨에 따라 일정한 공정 시간을 유지한다.

실리콘 함량이 증가되면 일반적으로 유전 상수가 떨어지게 되지만 결정화 온도가 높아지는 장점이 있기 때문에 계면과 박막 내에서의 조성을 조절하게 되면 보다 최적의 조건을 찾기 용이하고 화학기상증착법보다 원자층 증착법으로 박막의 성장을 제어하는 것이 더욱 효과적이다.

예를들면, 도 3a에 도시된 바와 같이 공정이 진행됨에 따라 실리콘의 주입 시간을 감소시키고 금속 전구체의 주입 시간을 증가시키면 도 3d의 그래프에 도시된 바와 같이 실리콘 기판(11)과의 계면으로부터 멀어질수록 금속 산화물(12) 내의 실리콘 함량이 감소된다.

도 3c는 실리콘 기판(11) 상에 금속 산화물(12)이 형성된 상태로서, 실리콘 기판(11)과의 계면으로부터 멀어질수록 금속 산화물(12) 내의 실리콘 함량이 감소된 상태가 도시된다.

도 4a 및 도 4b는 본 발명에 따른 금속 열산화막 형성 방법을 설명하기 위한 소자의 단면도이고, 도 4c는

공정도이다.

도 4a는 실리콘 기판(21) 상에 금속(22)을 증착한 상태의 단면도이고, 도 4b는 금속 유기를 소오스에 수소 라디칼을 반응가스로 이용하여 상기 금속(22)을 산화시키므로써 금속 산화막(23)이 형성된 상태의 단면도로서, 도 4c에 도시된 바와 같이 먼저, 저온(T_1)에서 도 4a와 같이 금속을 증착시킨 후 온도를 증가시켜 고온(T_2)의 산소 라디칼에 금속이 노출되도록 하므로써 금속 산화막(23)이 형성된다.

도 4c와 같이 저온(T_1)에서 금속 소오스 주입, 퍼지, 수소 라디칼 주입 및 퍼지 공정을 반복적으로 실시하여 원하는 두께의 금속이 증착되도록 한 후 온도를 증가시켜 고온(T_2)의 산소 라디칼에 금속이 노출되도록 하므로써 금속 산화막(23)이 형성된다.

이와 같이 형성된 금속 산화막은 우수하고 안정된 막질을 갖는데, 이러한 공정은 열산화막 형성이 가능한 금속인 경우에만 가능하다.

도 5a 및 도 5c는 금속(M_1)과 다른 금속(M_2)의 화합물이 산화되어 이루어지는 금속 산화막 형성 과정을 설명하기 위한 소자의 단면도이고, 도 5b 및 도 5d는 공정도이다.

도 5a는 실리콘 기판(31) 상에 금속 화합물이 산화되어 이루어진 금속 산화막(32)이 형성된 상태로, 도 5b에 도시된 바와 같이, 제 1 금속(M_1) 전구체 주입, 퍼지, 제 2 금속(M_2) 전구체 주입, 퍼지, 산소 라디칼 주입 및 퍼지 공정을 순차적으로 실시하므로써 실리콘 기판(31) 상에 금속 산화막(32)이 형성된다.

도 5c는 실리콘 기판(31) 상에 금속(M_1)으로 이루어진 제 1 금속 산화막(33)과 금속(M_2)으로 이루어진 제 2 금속 산화막(34)이 교대로 적층된 구조를 도시한 단면도로서, 도 5d에 도시된 바와 같이, 제 1 금속(M_1) 전구체 주입, 퍼지, 산소 라디칼 주입, 제 2 금속(M_2) 전구체 주입, 퍼지, 산소 라디칼 주입 및 퍼지 공정을 순차적으로 실시하여 실리콘 기판(31) 상에 제 1 금속 산화막(33)과 제 2 금속 산화막(34)이 교대로 적층되도록 한다.

즉, 도 5a 및 도 5b는 두가지 금속 화합물을 산화시켜 금속 산화막을 형성하는 기술을 제시하는 반면, 도 5c 및 도 5d는 두가지의 다른 금속 산화물이 교대로 적층되도록 한 금속 산화막 형성 기술을 제시한다.

상기와 같이 전구체 및 라디칼 공급 시간의 조절에 따라 산화물의 형태가 달라질 수 있는데, 일반적으로 게이트 산화막은 계면이 많이 존재할수록 누설전류 특성이 저하되므로 산화물이 적층된 구조보다 화합물 형태의 산화막 사용이 소자의 특성 측면에서 유리하다.

도 6은 도핑이 이루어진 금속 산화막을 형성하는 과정을 설명하기 위한 공정도로서, 금속 전구체 주입, 퍼지, 산소 라디칼 주입, 퍼지, 도펀트 전구체 주입, 퍼지, 수소 라디칼 주입 및 퍼지로 이루어진다.

3족 또는 5족의 금속 산화물에 4족의 물질을 도핑하여 계면 특성이 우수한 금속 산화막을 형성하거나, TaO₅에 실리콘 또는 알루미늄을 첨가하여 산화막을 형성하는 경우 특성 향상을 위해 상기와 같이 도펀트 전구체를 사용한다. 이때, 도펀트는 수소 라디칼로 환원시킨다.

도 7은 원자층 증착법을 이용하여 반도체 기판에 산화물을 증착하는데 이용되는 증착 장치의 구성도이다.

본 발명에 사용되는 증착 장치는 가스의 공급이 각각 독립적으로 제어될 뿐 아니라 원자층 증착법 또는 화학기상증착법에 모두 적용될 수 있다.

유기를 소오스의 경우 대부분 액체 상태로 존재하기 때문에 저장 용기(42)에 저장되며, 증기의 흐름량을 조절하는 미터링 밸브(41)의 동작에 따라 증기화된 유기를 소오스가 챔버(60)로 공급된다. 도 7에는 두 개의 액체 유기를 소오스 저장 용기가 도시되어 있지만, 더 많은 소오스가 필요할 경우 용기를 추가할 수 있다.

증기 상태의 액체 소오스를 운반하는 캐리어 가스로는 아르곤(Ar) 등이 사용되는데, 이러한 캐리어 가스는 가스 저장 용기(54)에 저장되며, 개폐 밸브(55) 및 유량 조절기(Mass Flow Controller; 40)의 동작에 따라 챔버(60)로 공급된다. 반응 가스로 사용되는 수소(H₂)는 가스 저장 용기(51)에 저장되며, 개폐 밸브(55) 및 유량 조절기(40)의 동작에 따라 플라즈마 발생장치(43)로 공급되며, 플라즈마에 의해 수소 라디칼 형태로 분해된 후 챔버(60)로 공급된다. 반응 가스로 사용되는 산소(O₂)는 가스 저장용기(52)에 저장되며 개폐 밸브(55) 및 유량 조절기(40)의 동작에 따라 플라즈마 발생장치(44) 또는 자외선 발생 장치(도시안됨)로 공급되며, 플라즈마에 의해 산소 라디칼 형태로 분해된 후 챔버(60)로 공급되며 산화 반응을 일으킨다. 질소(N₂)는 가스 저장 용기(53)에 저장되며 개폐 밸브(55) 및 유량 조절기(40)의 동작에 따라 플라즈마 발생장치(45)로 공급되며, 플라즈마에 의해 라디칼 형태로 분해된 후 챔버(60)로 공급된다. 챔버(60)의 배부에는 웨이퍼(47)가 위치되며, 웨이퍼(47)의 주변에는 금속열처리를 위한 다수의 펌프(46)가 설치된다.

또한, 상기 챔버(60)에는 내부의 분위기를 초고진공 상태로 만들기 위한 터보 분자 펌프(49)가 게이트 밸브(48)를 통해 연결되며, 상기 터보 분자 펌프(49)는 차단밸브(50)를 통해 부스트 펌프(61) 및 건조 펌프(62)와 연결된다.

한편, 상기 유기를 소오스 및 각각의 가스가 공급되는 관로는 밸브를 통해 상기 부스트 펌프(61) 및 건조 펌프(62)와 연결된다.

발명의 효과

상술한 바와 같이 본 발명은 열산화 공정과 증착 공정을 순차적으로 진행하여 계면 특성 및 증착 속도가 우수한 산화막을 형성하며, 원자층 증착법을 이용하여 산화막, 질산화막 및 금속 산화막을 증착하되, 소오스 및 라디칼의 펄스 구성 및 공급 시간을 조절하여 우수한 계면 특성을 갖도록 한다. 따라서 본 발명을 이용하면 물질의 함량, 조성비 및 도핑 농도의 조절이 용이하며, 누설 전류 특성 및 계면 특성이 우수한 산화막을 형성할 수 있다.

(57) 청구의 범위**청구항 1**

실리콘 소오스 주입 공정 및 산화 반응 가스 주입 공정을 교대로 실시하여 실리콘 기판 상에 증착산화막을 형성하되, 상기 산화 반응 가스로는 산소 라디칼이나 오존을 사용하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 2

제 1 항에 있어서,

상기 실리콘 소오스는 실리콘 유기를 전구체 및 SiH_4 중 어느 하나인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 3

제 2 항에 있어서,

상기 실리콘 유기를 전구체는 $\text{Si}(\text{OR})_4$ 의 알콕사이드 계열, $\text{Si}(\text{NR}_2)_4$ 의 아민 계열 및 SiR_4 의 알킬 계열의 물질을 포함하며, 상기 R은 CH_3 , C_2H_5 , C_4H_9 및 C_6H_5 인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 4

제 1 항에 있어서,

상기 증착산화막은 원자층 증착법(ALD) 및 화학기상증착법(CVD) 중 어느 하나의 방법으로 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 5

제 1 항에 있어서,

상기 증착산화막을 형성하기 전에 산소 라디칼이나 오존을 이용한 열산화공정으로 상기 실리콘 기판 상에 열산화막을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 6

제 5 항에 있어서,

상기 열산화막 형성 공정 및 상기 증착산화막 형성 공정은 인-시투 방식으로 실시되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 7

실리콘 유기를 전구체, 산소 전구체 및 질소 전구체를 사용하여 실리콘 질산화막을 형성하되, 상기 산소 전구체로는 산소 라디칼을 사용하고, 상기 질소 전구체로는 질소 라디칼, 암모니아 및 N_2O 중 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 8

제 7 항에 있어서,

상기 실리콘 유기를 전구체는 SiR_4 의 알킬 계열 물질을 포함하며, 상기 R은 CH_3 , C_2H_5 , NCH_3 및 OC_2H_5 인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 9

제 7 항에 있어서,

상기 실리콘 질산화막은 상기 실리콘 유기를 전구체 주입 공정, 상기 산소 라디칼 주입 공정 및 상기 질소 라디칼 주입 공정의 순차적인 진행에 의해 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 10

제 7 항에 있어서,

상기 실리콘 질산화막은 실리콘 유기를 전구체 주입 공정, 상기 암모니아 주입 공정 및 상기 산소 라디칼 주입 공정의 순차적인 진행에 의해 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 11

제 7 항에 있어서,

상기 실리콘 질산화막은 실리콘 유기를 전구체 주입 공정, 상기 N₂O 주입 공정 및 상기 산소 라디칼 주입 공정의 순차적인 진행에 의해 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 12

금속 전구체 주입 공정 및 산화 반응 가스 주입 공정을 교대로 실시하여 실리콘 기판 상에 금속산화막을 형성하되, 상기 산화 반응 가스로는 산소 라디칼이나 오존을 사용하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 13

제 12 항에 있어서,

상기 금속산화막을 형성한 후 산소 라디칼 분위기에서 금속 열처리하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 14

제 12 항에 있어서,

상기 금속 전구체 주입 공정 전에 실리콘 전구체 주입 공정을 실시하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 15

제 14 항에 있어서,

상기 실리콘 전구체 주입 공정 및 상기 금속 전구체 주입 공정 단계에서 실리콘과 금속의 조성은 공정 시간에 의해 조절되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 16

제 15 항에 있어서,

상기 실리콘 전구체 주입 공정 및 상기 금속 전구체 주입 공정이 반복 실시되며, 상기 실리콘 전구체가 주입되는 시간은 점차 감소시키고, 상기 금속 전구체가 주입되는 주입 시간은 점차 증가시켜 실리콘과 금속의 조성이 조절되도록 하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 17

제 12 항에 있어서,

상기 금속 전구체 주입 공정은 2 단계로 실시되며, 각 단계에서 다른 금속 전구체가 사용되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 18

제 12 항에 있어서,

상기 금속 전구체 주입 공정은 2 단계로 실시되며, 각 단계마다 다른 금속 전구체를 사용되고, 각 공정 단계 후 상기 산화 반응 가스 주입 공정이 실시되어 서로 다른 종류의 금속 산화막이 다층 구조로 형성되도록 하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 19

금속 전구체 주입 공정 및 수소 라디칼 주입 공정을 교대로 실시한 후 산소 라디칼이나 오존 분위기에서 열처리하여 금속 열산화막이 형성되도록 하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 20

금속 전구체 주입 공정, 산소 라디칼 주입 공정, 도펀트 전구체 주입 공정 및 수소 라디칼 주입 공정을 교대로 실시하여 금속산화막이 형성되도록 하는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 21

제 12 항, 제 19 항 또는 제 20 항에 있어서,

상기 금속 전구체는 $M(OR)_x$ 의 알콕사이드 계열과 $M(NR_2)_x$ 의 아민 계열 및 MR_x 의 알킬계열을 포함하며, 상기 R은 CH_3 , C_2H_5 , C_3H_7 및 C_4H_9 인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 22

제 12 항 또는 제 20 항에 있어서,

상기 금속산화막은 상기 도펀트 전구체가 주입된 TiO_2 , Ta_2O_5 , Al_2O_3 , ZrO_2 , HfO_2 , Y_2O_3 및 La_2O_3 , Gd_2O_3 및 Pr_2O_3 과 같은 란타늄 금속의 산화물 중 어느 하나인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 23

제 19 항에 있어서, 상기 금속 열산화막은 상기 도펀트 전구체가 주입된 TiO_2 , Ta_2O_5 , Al_2O_3 , ZrO_2 , HfO_2 , Y_2O_3 및 La_2O_3 , Gd_2O_3 및 Pr_2O_3 과 같은 란타늄 금속의 산화물 중 어느 하나인 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 24

제 7 항에 있어서,

상기 실리콘 질산화막은 원자층 증착법(ALD)으로 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

청구항 25

제 12 항 또는 제 20 항에 있어서,

상기 금속산화막은 원자층 증착법(ALD)으로 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

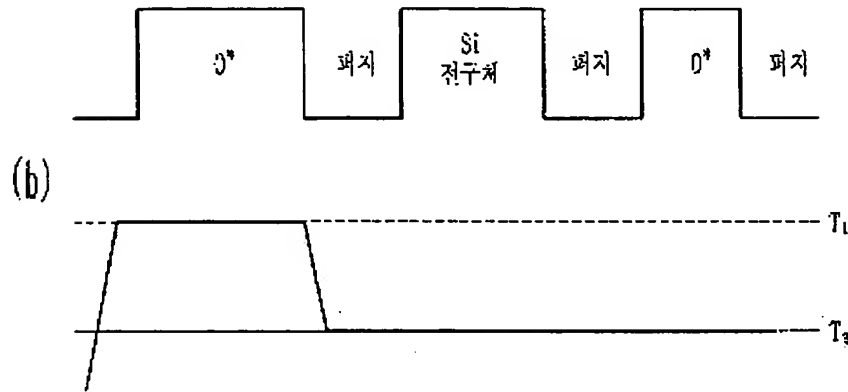
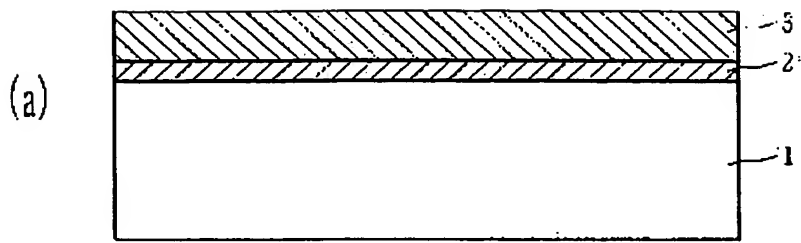
청구항 26

제 19 항에 있어서,

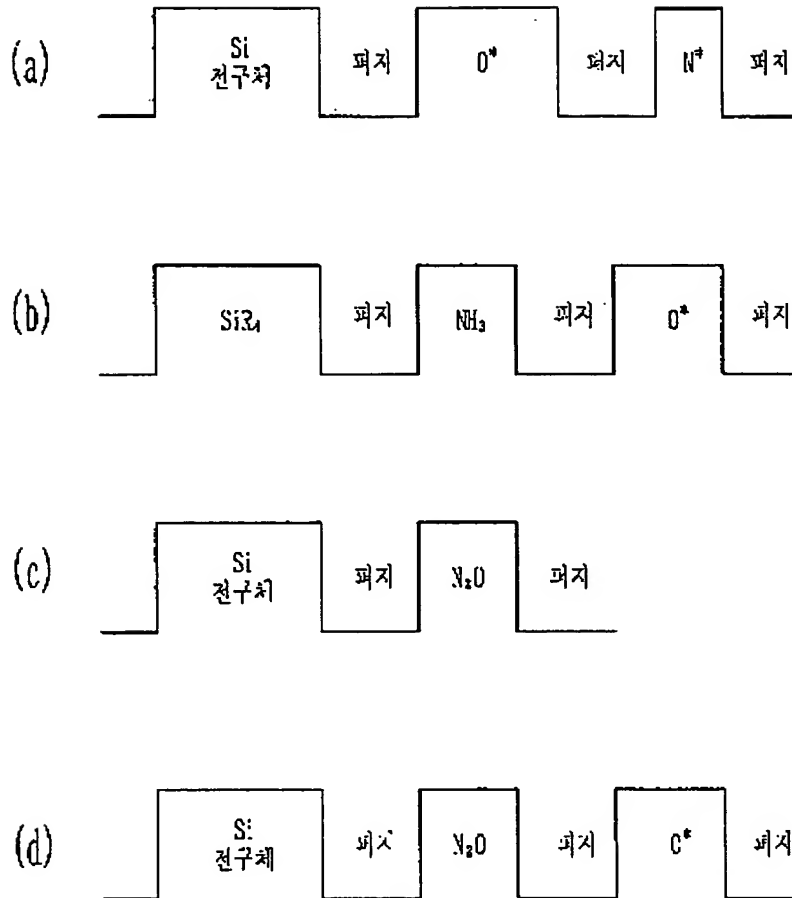
상기 금속 열산화막은 원자층 증착법(ALD)으로 형성되는 것을 특징으로 하는 반도체 소자의 절연막 형성 방법.

도면

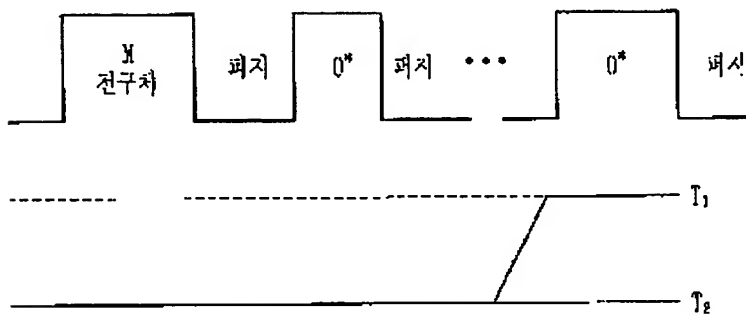
도 1



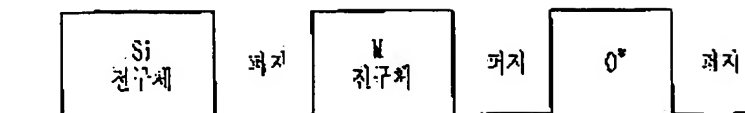
도면2



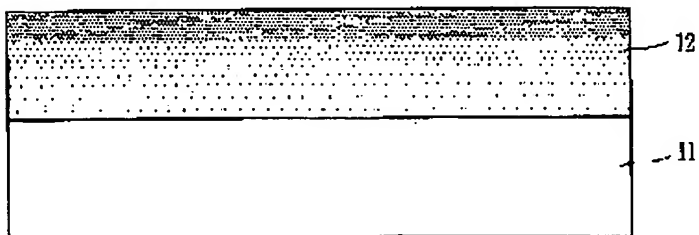
도면3a



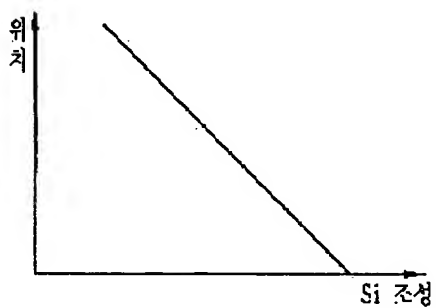
도면3b



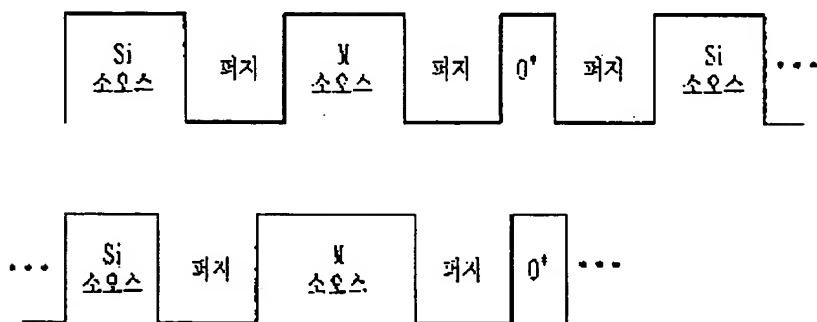
도면3c



도면3d

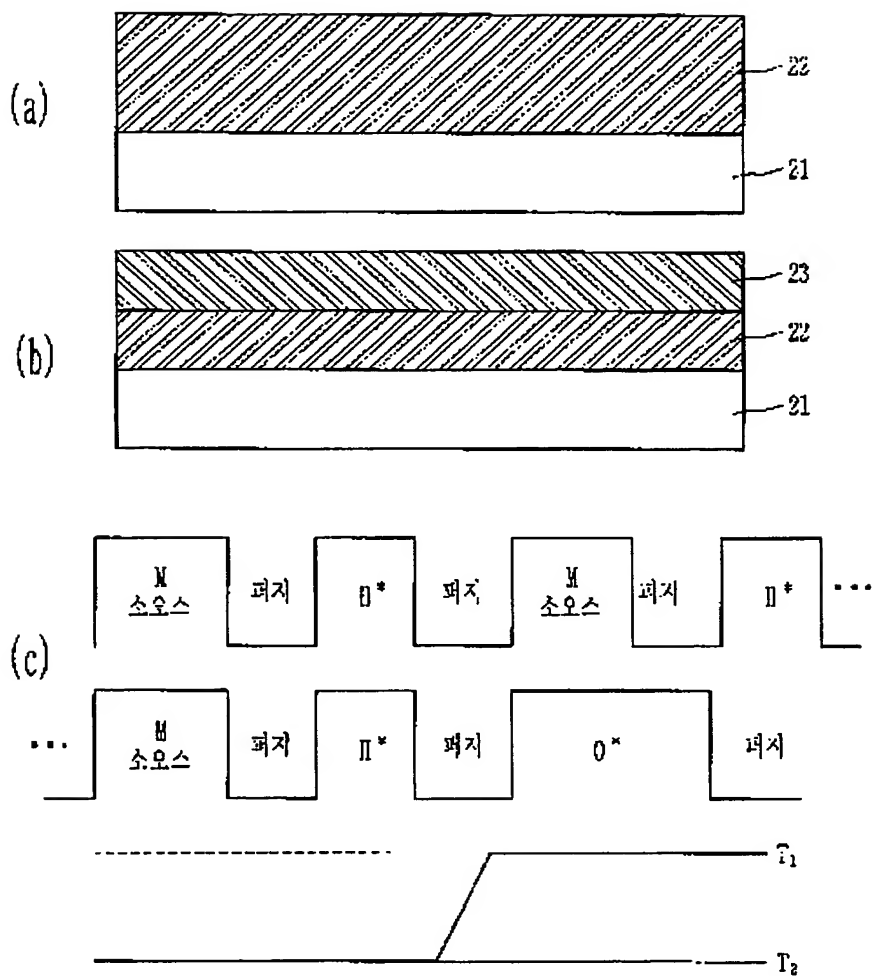


도면3e



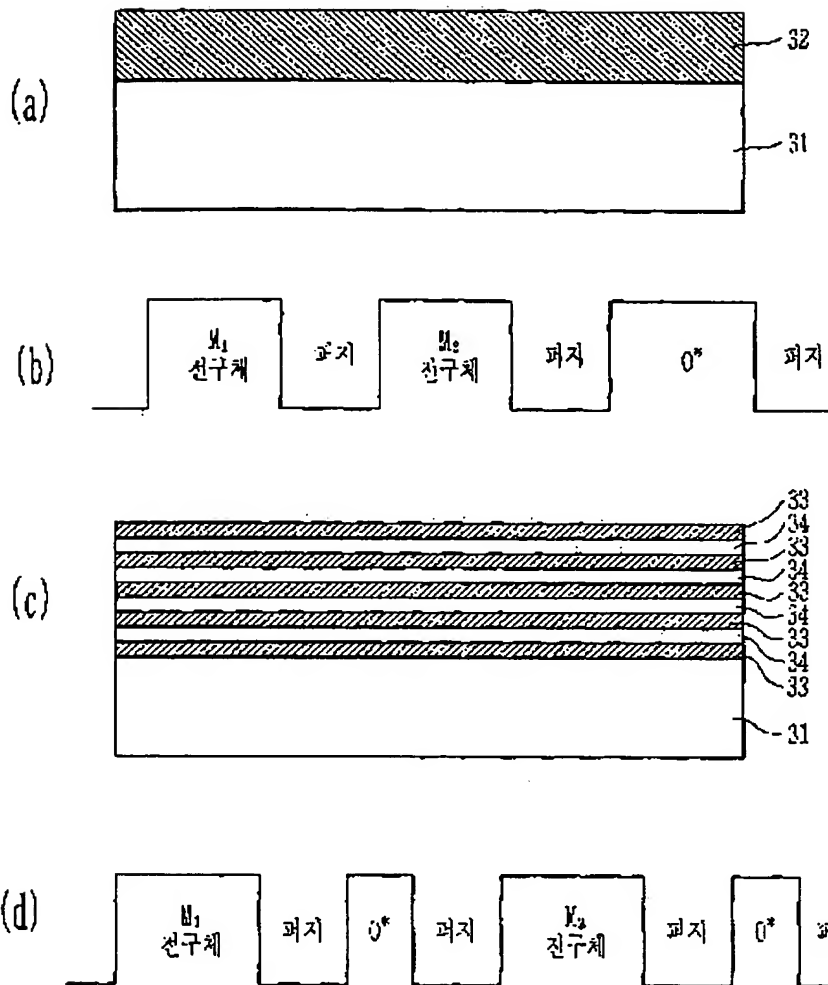
BEST AVAILABLE COPY

도 4



BEST AVAILABLE COPY

도면5

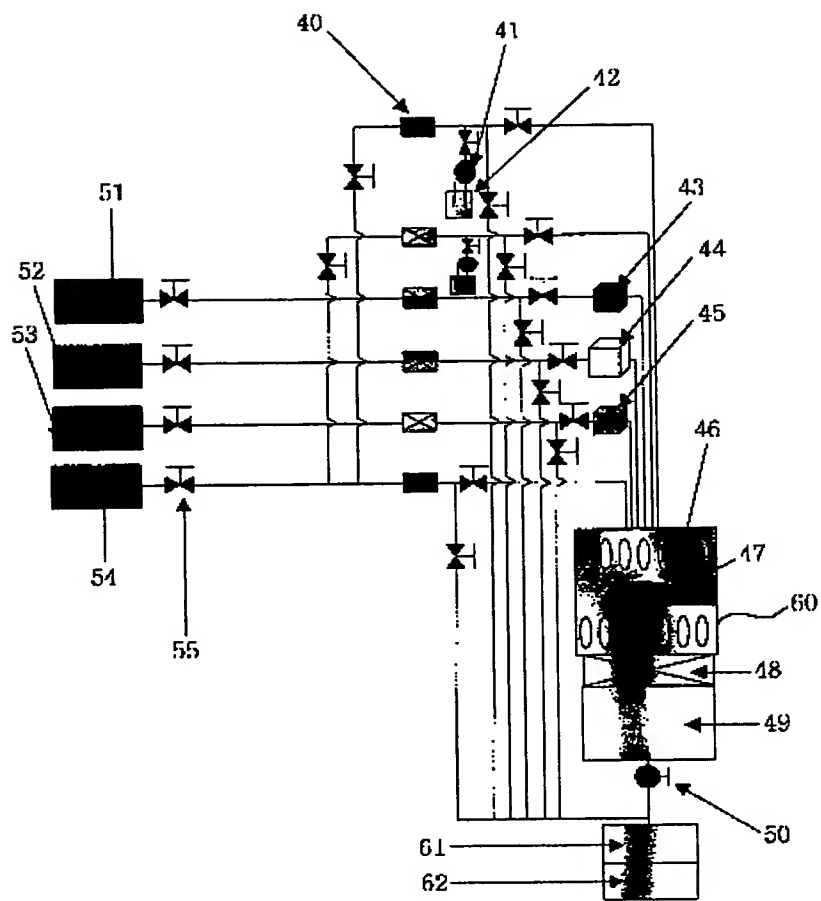


도면6



BEST AVAILABLE COPY

도 7



BEST AVAILABLE COPY